

# 安定動作を簡単に実現できる 昇圧型 DC-DC 回路を提案

携帯電話機やPDA、デジタル・カメラといった電池駆動機器では、電源回路を構成する際にDC-DCコンバータICを使うと、個別素子で構成する場合に比べて有利な点が多い。コストを低くできたり、寸法を小さくできたり、設計が容易になったりする。ところが、DC-DCコンバータ回路全体をIC化することには大きな課題がある。周波数補償回路の特性が、外付けの受動フィルタ部品(インダクタとコンデンサ)の定数や、それら部品の寄生成分に大きく依存することだ。寄生成分とは例えば、コンデンサの等価直列抵抗(ESR)などである。

さらに、外付け部品の実際の特性は公称値だけでは決まらない。製造公差や、特性に生じるドリフトなどによって変動してしまう。しかもコンデンサのESRのように電解コンデンサやセラミック・コンデンサといった種類によって大きく異なる特性もある。このため、こうした原因により受動部品の特性が変わっても、DC-DCコンバータ回路の安定動作と高速制御を両立させる工夫が必要になる。

ヒステリシス制御を採用した降圧型DC-DCコンバータ回路では、インダクタのリプル電流が、コンデンサのESRを介して間接的に出力電圧(安定化された電圧)に現れる。このためループ特性は簡単になる。この場合、DC-DCコンバータ回路は本質的に安定である。インダクタとコンデンサの値の変化はすべてDC-DCコンバータ回路のスイッチング周波数の変化として吸収され、周波数補償回路を用いなくても安定な動作を維持できるからだ\*1)、\*2)。

ところが、1セルや2セルのアルカリ乾電池の端子電圧を3.3Vや5Vに変換する場合に使う昇圧型DC-DCコンバータ回路では事情が異なる。出力電圧を監視するだけでは、インダクタ電流を完全に把握できないからである。そこで本稿では、この昇圧型DC-DCコンバータ回路の課題を克服する方法を提案する\*3)。

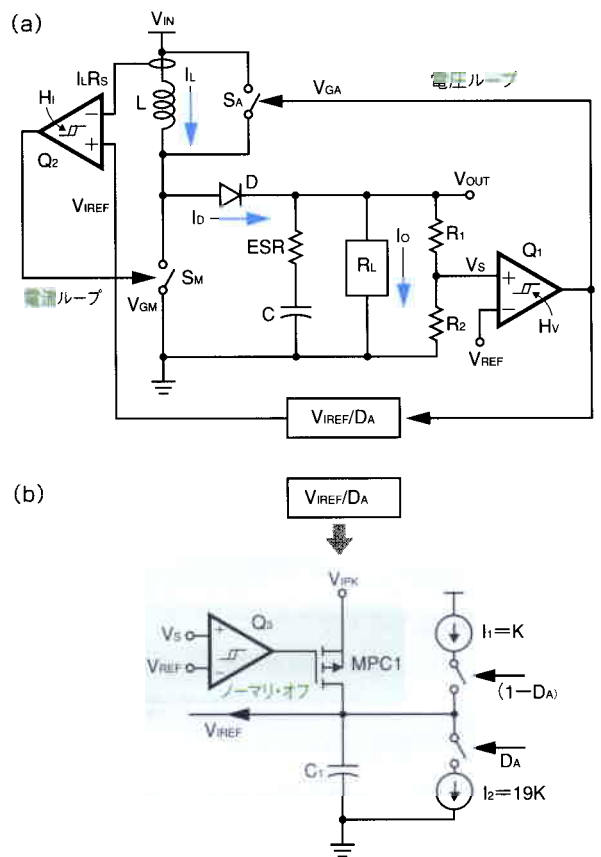


図1 外付け部品の特性値変化に対応できるDC-DCコンバータ回路  
(a)は、インダクタLとコンデンサCの値が大きく変化しても安定に動作する昇圧型DC-DCコンバータの回路図を簡略化して示した。  
(b)は、インダクタ電流の大きさを決める基準電圧 $V_{REF}$ をデューティ比 $D_A$ に応じて変化させる回路である。

## 制御ループを追加する

今回提案するのは図1に示した回路方式である。この回路においてもやはり、インダクタLに流れる電流はコンデンサCの電圧を監視するだけでは把握できない。しかしこの回路は、インダクタ電流を単独で検出し、主スイッチ $S_M$ を

### \*1)参考文献

G.A. Rincn-Mora, "Self-Oscillating DC-DC converters: From the Ground up," *IEEE Power Electronics Specialists Conference Tutorial*, 2001.

### \*2)参考文献

R. Miftakhutdinov, "Analysis of synchronous buck converter with hysteretic controller at high slew-rate load current transients," *Proceedings of High Frequency Power Conversion Conference*, 1999, pp. 55-69.

### \*3)参考文献

N. Kesar and G.A. Rincn-Mora, "Self-stabilizing, hysteretic, boost DC-DC converter," *The 30th Annual Conference of the IEEE Industrial Electronics Society, IECON 2004*, Nov 2004, TA3-4.

含む独立したヒステリシス・ループによって回路動作を安定化する機能を備えている。インダクタ電流の平均値 $I_L$ は、DC-DCコンバータ回路の出力負荷 $R_L$ に所定の出力電圧 $V_{OUT}$ が供給されるまで上昇を続ける。ここで、負荷電圧が $V_{OUT}$ のときに負荷に流れる電流を $I_O$ と定義する。

図1の回路には、標準的な昇圧型DC-DCコンバータ回路にもう1つの補助スイッチ $S_A$ をインダクタに並列に追加した。スイッチ $S_A$ がオフのときは、出力電圧が所定の値 $V_{OUT}$ を超えてもインダクタに電流が流れ続け、コンデンサ $C$ への充電が継続される。従って、過充電状態になる。この過充電状態をコンパレータ $Q_1$ で検出し、スイッチ $S_A$ をオンに切り替えることでインダクタ $L$ を短絡する仕組みだ。

インダクタ $L$ が短絡されると、インダクタ電流が還流（フリーホイール）してダイオード $D$ を遮断し、コンデンサを放電させる。この放電によってコンデンサの電圧が低下し、やがて検出値 $V_S$ は基準電圧 $V_{REF}$ を下回る。すると、スイッチ $S_A$ が再びオフに切り替わるわけだ。これを繰り返すことで出力電圧が安定化される。出力電圧の値は、スイッチ $S_A$ がオンのときの平均電圧値 $(V_{IN} - V_{Diode})$ と、スイッチ $S_A$ がオフのときの平均電圧値 $I_D \cdot R_L$ の間になる。なお $V_{Diode}$ はダイオード $D$ による電圧降下分である。

出力電圧を安定化させる制御は、スイッチ $S_A$ のデューティ比 $D_A$ を調整することで実現する。 $D_A$ を適切な値に設定すれば、ダイオード電流 $I_D$ の平均値( $S_A$ のスイッチング・サイクル全体の平均値)が負荷電流 $I_O$ に等しくなり、 $V_{OUT}$ の平均値が $(R_1 + R_2) V_{REF} / R_2$ に等しくなる。スイッチ $S_A$ は、主スイッチ $S_M$ とは独立に動作する。また、 $S_A$ のスイッチング周波数は $S_M$ に比べてはるかに低い。

この回路方式は、インダクタ $L$ に余分な電流が流れるため電力損失が発生してしまう。ただしこの電力損失は小さい。余分なインダクタ電流の大きさが、負荷に電流 $I_O$ を流すために必要な最小値をわずかに5%超えるだけだからだ。

## インダクタ電流を操って高速応答を補償

インダクタ電流の大きさを決める基準電圧 $V_{REF}$ は、デューティ比 $D_A$ を利用して決定する。実際には、図1(b)に示した回路を使って $D_A$ を $V_{REF}$ に変換する。この回路はチャージ・ポンプを用いたデューティ比・電圧変換器である。相補的にスイッチング動作する2つの電流源 $I_1$ と $I_2$ を使ってコンデンサ $C_1$ を充放電する仕組みである。また、電流源のオン/オフを制御する信号は、スイッチ $S_A$ の制御信号と同じものを使う。

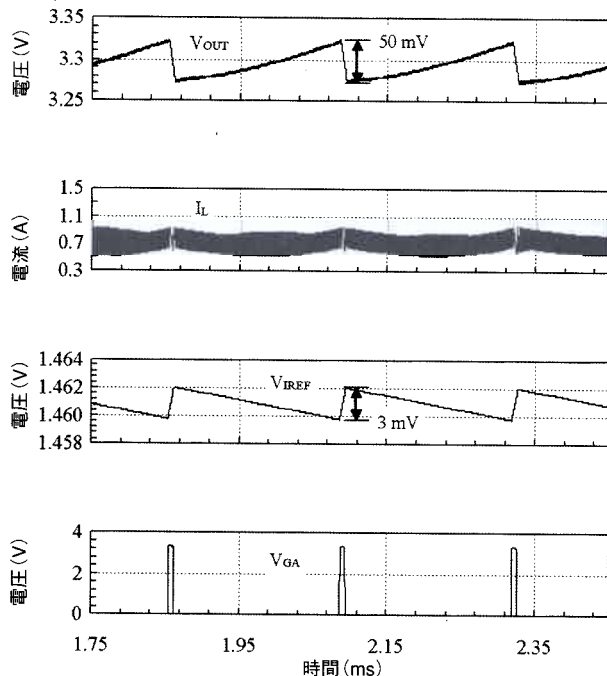


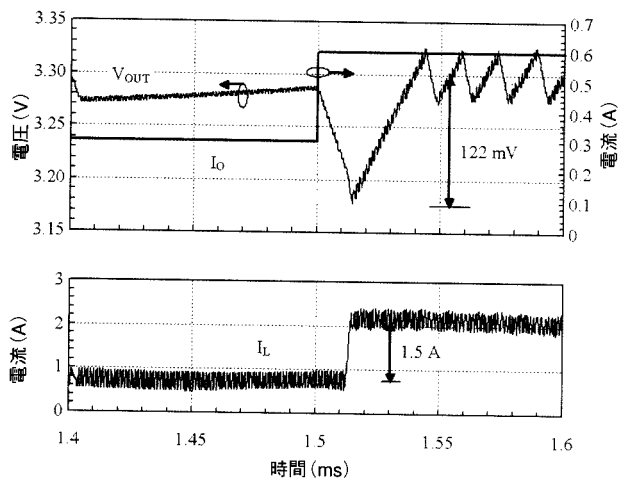
図2 定常状態におけるシミュレーション波形

図1に示す回路の定常状態における動作波形をシミュレーションで求めた。上から、出力電圧 $V_{OUT}$ 、インダクタ電流 $I_L$ 、インダクタ電流の大きさを決める基準電圧 $V_{REF}$ 、スイッチ $S_A$ の駆動電圧 $V_{GA}$ である。シミュレーション条件は以下の通り。 $V_{IN} = 1.5V$ 、 $I_D = 0.3A$ 、 $V_{OUT} = 3.3V$ 、スイッチ $S_A$ のスイッチング周波数は $5kHz$ 、スイッチ $S_M$ のスイッチング周波数は $1.6MHz$ 。

表1 シミュレーションに用いたパラメータ値  
今回のシミュレーションではDC-DCコンバータ制御ICを $0.5\mu m$ のCMOS技術で製造することを想定した。使用したシミュレーション・ツールは「SpectreS」。

パラメータ	値
$V_{IN}$	1~1.5V
$V_{OUT}$	3.3V±5%
$I_D$	0.1~1A
$L$	2μH
$C$	44μF
ESR	20mΩ
$S_M$ (nチャンネル)のオン抵抗	0.1Ω
$S_A$ (nチャンネル)のオン抵抗	0.1Ω
$D$ のオン抵抗	0.15Ω
$I_1$	1μA
$I_2$	19μA
$C_1$	10nF
$Q_1$ のヒステリシス幅 $H_V$	25mV
$Q_2$ のヒステリシス幅 $H_I$	20mV
$R_2 / (R_1 + R_2)$	0.364
インダクタ電流の検出用抵抗	0.1Ω

この回路は、コンデンサ電流の平均値をゼロに調整するように動作する。基準電圧 $V_{REF}$ は、スイッチ $S_A$ がオフのときに電流源 $I_1$ からコンデンサに注入される全電荷量が、スイッチ $S_A$ がオンのときにコンデンサから $I_2$ に流出する全電荷量と同じ場合に安定になる。例えば $I_2$ を $I_1$ の19倍に設定すると、 $S_A$ のオフ時間( $I_1$ が $C_1$ を充電)が $S_A$ のオン時間( $I_2$



**図3 負荷応答特性のシミュレーション結果**  
 負荷を0.3Aから0.6Aにステップ状に変化させたときのインダクタ電流 $I_L$ と出力電圧 $V_{OUT}$ を示す。シミュレーション条件は、 $V_{IN} = 1.5V$ 、 $V_{OUT} = 3.3V$ 。

が $C_1$ を放電)の19倍、すなわちデューティ比 $D_A$ が5%のときだけ $V_{REF}$ が安定状態に維持されるわけだ。

安定状態を長く(デューティ比 $D_A$ を大きく)すると、DC-DCコンバータ回路の負荷応答特性は向上する。ただし電力変換効率は低下してしまうので注意が必要だ。例えば、デューティ比を5%に設定すると、今回提案した昇圧型DC-DCコンバータ回路の変換効率は、標準的な構成の回路に比べて約2% (負荷電流が0.5Aのとき)低下する\*3)。

負荷電流が上昇すると、出力電圧 $V_{OUT}$ は急激に低下する。インダクタ電流が負荷の変動に対応できるほど大きくないからだ。そこでコンパレータ $Q_3$ を使って $V_{OUT}$ の電圧降下を検出し、スイッチMPC1をオンする。MPC1がオンすると、インダクタ電流の大きさを決める基準電圧 $V_{REF}$ が最大負荷電流に対応した最大値 $V_{IPK}$ まで上昇する。インダクタ電流は、主スイッチ $S_M$ の1サイクル内に最大基準電圧に応じた値まで上昇し、スイッチ $S_A$ の1サイクル内で出力コンデンサの電圧を $(R_1 + R_2) V_{REF}/R_2$ まで充電する。

コンデンサ電圧の検出値 $V_S$ が $V_{REF}$ に達すれば、スイッチMPC1は再びオフになる。するとインダクタ電流の基準電圧 $V_{REF}$ は、デューティ比 $D_A$ が5%に達するまで低下してい

く。コンパレータ $Q_3$ の入力ヒステリシス特性は非対称になるように設計した。正側では $Q_1$ のヒステリシス幅よりも狭く、負側では $Q_2$ のヒステリシス幅よりも広くなるように設定してある。

## シミュレーションで動作を確認

図2は、今回提案したDC-DCコンバータ回路の定常状態における動作シミュレーションの結果である。シミュレーションの条件は表1に示した。出力電圧 $V_{OUT}$ とインダクタ電流 $I_L$ には、2つのリップルが重畳されていることが分かる。すなわち、スイッチ $S_M$ の動作による比較的高い周波数のリップルと、スイッチ $S_A$ の動作による比較的低い周波数のリップルである。

図3には、負荷を0.3Aから0.6Aにステップ状に変化させたときの過渡応答波形を示した。このシミュレーション結果から、1A負荷でインダクタ $L$ が $1\mu \sim 3\mu H$ の場合には、コンデンサ $C$ の静電容量が $3\mu \sim 200\mu F$ 、ESRが $0 \sim 35m\Omega$ の範囲で安定な動作を得られることが分かった。負荷を小さくすれば、安定動作可能なESRの範囲はさらに広がる。

今回提案した回路方式を使えば、外付けの周波数補償回路を用意しなくても、広範囲のフィルタ定数( $L$ および $C$ )に対して、安定動作と高速な過渡応答特性が得られる。このためICへの集積化に適している。

ただし、大きく3つの課題が明らかになった。第1に、出力電圧にやや大きな低周波リップルが重畳されてしまうことである。このリップルが可聴周波数帯域に入ってくる可能性がある。第2に、定常状態において電流を流すための補助スイッチ $S_A$ の寸法がかなり大きくなる可能性がある。第3に、前述の通り、余分なインダクタ電流によって電力変換効率が低下してしまう。今後は、安定かつ高速という特徴を維持しながら、この3つの課題を解決する研究に取り組む必要がある。現在、今回のシミュレーション結果を実験的に検証するための試作基板を作製している。

(Neeraj Keskar, Gabriel A. Rincon-Mora : 米Georgia Institute of Technology, Analog and Power IC Design Lab\*4)

(© 2005 CMP Media LLC.)

▶ \*4) DC-DCコンバータをはじめとした電源回路とそのIC化技術の研究に取り組んでいる。ホームページのアドレスは<http://users.ece.gatech.edu/rincon-mora/research/>。